

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078532

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H01L 21/82  
H01L 21/3205  
H01L 21/768  
H01L 27/10

(21)Application number : 06-212460

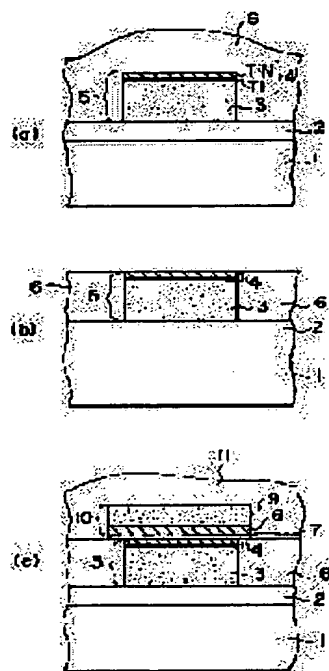
(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.09.1994

(72)Inventor : TAKAGI MARIKO  
YOSHII ICHIRO**(54) ANTIFUSE ELEMENT AND FABRICATION THEREOF****(57)Abstract:**

**PURPOSE:** To suppress lowering of the wiring field and integration as well as increase of cost by performing perfect planarization prior to formation of a first wiring layer and forming an intermetallic antifuse by self-aligned technology.

**CONSTITUTION:** An Al layer 3 and a Ti/TiN layer 4 are formed by sputtering on a sufficiently planar silicon insulation film 2 deposited on a semiconductor substrate 1. The laminate 3, 4 of Al/Ti/TiN is then patterned to form a first wiring layer 5. Subsequently, an insulation film 6 is deposited and then abraded until the surface of Ti/TiN laminate 4 of the first wiring layer 5 is exposed thus obtaining a structure where the first wiring layer 5 is embedded in the insulation film 6. Thereafter silicon nitride 7 is deposited followed by sputtering of a TiN layer 8 and an Al layer 9. The laminate 7, 8, 9 is then patterned to be perpendicular to the first wiring layer 5 thus forming a second wiring layer 10. Finally, a passivation film 11 is deposited thus forming an antifuse at the intersection of first and second wiring layers 5, 10 while being self-aligned.

**LEGAL STATUS**

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226726

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

Searching PAJ

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平8-78532

(43)公開日 平成8年(1996)3月22日

### 技術表示箇所

H O 1 L 21/82  
21/3205  
21/768

H01L 21/ 82  
21/ 88

F  
Z

審査請求 未請求 請求項の数6 OL (全 8 頁) 最終頁に続く

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高木 万里子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 吉井 一郎

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

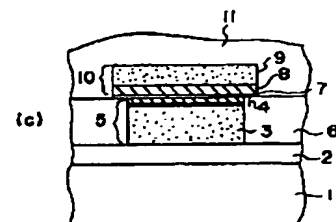
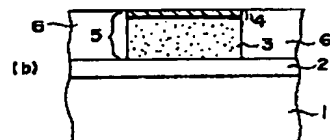
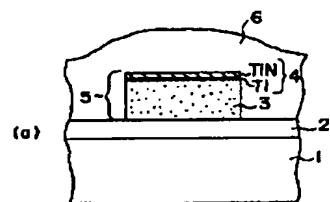
(74) 代理人 弁理士 鈴江 武彦

(54)【発明の名称】 アンチフューズ素子及びその製造方法

(57)【要約】

【目的】 本発明は配線フィールド低下や集積度低下、コスト増をできるだけ抑えた金属配線間アンチフューズ及び金属配線間アンチフューズを用いた集積回路を実現する為のアンチフューズ素子構造及びその製造方法を提供する。

〔構成〕 本発明によるアンチフューズ素子は、半導体基板上に形成されるもので、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層と、前記第1の電極層の上面を含む平面に形成されたアンチフューズ絶縁膜と、前記アンチフューズ絶縁膜上に形成された第2の電極層とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部をセルフアラインにより形成することを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成されるもので、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層と、前記第1の電極層の上面を含む平面に形成されたアンチフューズ絶縁膜と、前記アンチフューズ絶縁膜上に形成された第2の電極層とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部をセルフアラインにより形成することを特徴とするアンチフューズ素子。

【請求項2】 半導体基板上に形成されるもので、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層と、前記第1の電極層の上面を含む平面に形成されたアンチフューズ絶縁膜と、前記アンチフューズ絶縁膜上に形成された第2の電極層とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部をセルフアラインにより他の回路素子と共に集積回路化して形成することを特徴とするアンチフューズ素子。

【請求項3】 半導体基板上に、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層を形成する工程と、前記第1の電極層の上面を含む平面にアンチフューズ絶縁膜を形成する工程と、前記アンチフューズ絶縁膜上に第2の電極層を形成する工程とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部をセルフアラインにより形成することを特徴とするアンチフューズ素子の製造方法。

【請求項4】 半導体基板上に、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層を形成する工程と、前記第1の電極層の上面を含む平面にアンチフューズ絶縁膜を形成する工程と、前記アンチフューズ絶縁膜上に第2の電極層を形成する工程とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部セルフアラインにより他の回路素子と共に集積回路化して形成することを特徴とするアンチフューズ素子の製造方法。

【請求項5】 前記第1の電極層を形成する工程において、ケミカルメカニカルポリッシュ法を用いて前記第1の電極層の上面を前記絶縁膜と同一面に形成することを特徴とする請求項3または4に記載のアンチフューズ素子の製造方法。

【請求項6】 前記第1の電極層を形成する工程において、埋め込み配線層を用いて前記第1の電極層の上面を前記絶縁膜と同一面に形成することを特徴とする請求項

2

3または4に記載のアンチフューズ素子の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置とその製造方法に関し、特に電氣的にプログラム可能なアンチフューズ素子の構造及びその製造方法に関する。

【0002】

【従来の技術】近時、注目されている半導体装置の一つであるアンチフューズ素子とは、一般に初期状態に於いては電氣的に非導通状態を呈し、電氣的方法を用いて非導通状態から導通状態へ非可逆的に遷移させることが可能なスイッチ素子のことである。

【0003】このようなアンチフューズ素子は通常EPROM (Electrically Programmable ROM) やゲートアレイの一種であるFPGA (Field Programmable Gate Array) に使用される。

【0004】通常、アンチフューズ素子は2つの異なる配線層に形成される1対の電極とその間に挿入された絶縁もしくは高抵抗性を示す誘電体とを備えている。上記電極に選択的に高電圧を印加することにより誘電体をプログラム（非導通状態から導通状態へ絶縁破壊により遷移させる）し、配線層間を電氣的に接続する。

【0005】このアンチフューズ素子を実際に上述のEPROMやFPGAに用いる場合、図1及び図2に示すように、互いに直交する配線L1、L2またはS1、G1、S2、G2とD1、D2、D3間に複数のアンチフューズ素子AまたはA11～A13、A21～A23がマトリックス状に配置される。

【0006】従って、アンチフューズ素子は寄生抵抗、容量成分として回路スピードに影響を及ぼし、また面積増という形で回路レイアウトに影響する。以上のことから、アンチフューズ素子の特性としては、プログラム前の容量が十分に小さいこと、プログラム後の抵抗（オン抵抗）が十分に小さいこと、さらには素子の面積が十分に小さいことが要求される。

【0007】ところで、アンチフューズ素子としては、さまざまな電極材料、誘電体材料の組み合わせのものがあるが、(1)半導体基板上に形成された高濃度拡散層を下部電極とするもの、(2)高濃度ポリシリコンを下部電極とするもの、(3)第1A1配線より上層に形成され、Al、TiN、TiW、Mo等の金属を下部電極とするもの、とに大別される。

【0008】このうち、(1)、(2)のものは、一般に、アンチフューズ膜を高濃度で堆積することができるので、アンチフューズ膜の安定性の点で優れているが、オン抵抗が数百Ωと高くなる。

【0009】一方、(3)のものは、オン抵抗を数十Ωまで低くすることができる。従って、現在では、その低抵抗の優位性から次世代高速用として、金属配線間アン

チフューズ素子の研究開発が進められている。

【0010】以下、これまでに知られている幾つかの金属配線間アンチフューズ素子に関して、図3及び図4を用いて説明する。図3はFPGAに使用される金属配線間アンチフューズ素子の従来例であって（米国特許第5,196,724号）、その内容は以下の通りである。

【0011】まず、シリコン基板100上に通常のCMOSプロセスを用いてトランジスタ162、層間絶縁膜118,119及びコンタクトホールを形成する。その後、Alを600nmほどスパッタし、通常のリソグラフィ法とドライエッチングを用いて第1Al配線層124を形成する。

【0012】引き続き、絶縁膜を堆積し、通常のレジストエッチバック法を用いて十分に平坦な層間絶縁膜132を形成する。次いで、この層間絶縁膜132上にTiWを200nmほどスパッタし、アンチフューズ形成領域に第1Al配線層124と平行方向に配線状にパターンニングし、TiW下部電極配線38を形成する。

【0013】引き続き、絶縁膜40を300nmほど堆積し、TiW下部電極配線38上の所定の位置にアンチフューズビア44a,44b及び通常ビア198a,198bを形成する。

【0014】この後、160nmのアモルファスシリコン46をPECVD法を用いてデポジットし、アンチフューズビア44a,44b上だけにのみ残るようにパターンニングする。

【0015】引き続き、200nmのSi酸化膜を堆積し、RIE法を用いてエッチングを行ってアンチフューズビア44a,44bの側壁にスペーサ66,68を形成する。

【0016】次に、通常のリソグラフィ法とエッチング法を用いて絶縁膜40と層間絶縁膜132を開孔し、第1Al配線層124に達するビア200a,200bを形成する。

【0017】尚、ビア200a,200bとビア198a,198bによって、第1Al配線層124とTiW下部電極配線38とが接続されることになる。そして、ビア200a,200b形成後、200nmのTiW層70と800nmのAl層72をスパッタし、通常の方法でパターンニングして図示しない第2配線層及び上部電極を形成する。

【0018】このようにして金属配線間アンチフューズ素子をもつFPGAを実現する。図4は金属配線間アンチフューズ素子の他の従来例であって（本願と同一出願人等による特願平5-190949号）、その内容は以下の通りである。

【0019】まず、シリコン基板31上に通常のCMOSプロセスを用いてトランジスタ43、層間絶縁膜44,45を形成する。その後、Ti/TiN層46を2

0/70nmスパッタし、さらにその上にAl層32を800nmほどスパッタし、さらにまた、Ti/TiN層47を20/70nmスパッタすることにより、Ti/TiN/Al/Ti/TiN積層体（46,32,47）を形成する。

【0020】これを通常のリソグラフィ法とRIE法を用いて第1配線層（46,32,47）を形成する。尚、アンチフューズ素子が形成される領域に於いて、この積層体はアンチフューズ下部電極となる。

【0021】次いで、400nmほどのSiO<sub>2</sub>絶縁膜34をPECVDで堆積し、アンチフューズ領域上のSiO<sub>2</sub>絶縁膜34を通常のリソグラフィ法とRIEにより選択的にエッチングしてテーパ状に開孔部35（アンチフューズビア）を形成する。

【0022】引き続き、プラズマCVD法によりSiN層20を20nmほど堆積し、さらにその上にTiN層48を100nm程度スパッタする。しかる後に、通常の方法を用いて、SiN層20及びTiN層48がアンチフューズ領域のみに残るようにパターンニングする。

【0023】次いで、例えばTEOS酸化膜を堆積し、レジストエッチバック法により平坦化した後、層間絶縁膜49をデポジットする。そして、アンチフューズ部及び通常ビア部を通常のリソグラフィ及びRIE法を用いて開孔部40を形成する。

【0024】その後、Al下のバリアメタルであるTi/TiN層38を20/700nm程度スパッタし、さらにその上に第2Al配線層41をスパッタする。これを通常の方法を用いてパターンニングして第2配線層とする。さらにパッシベーション工程を経てFPGAができる。

【0025】

【発明が解決しようとする課題】しかしながら、以上における図3に示した第1の従来例による構造を用いると、次のような問題がある。

（1）アンチフューズ膜であるアモルファスシリコン層46が開孔部のエッジにきれいに堆積するように、スペーサ66,68を形成する必要があるため、アンチフューズビアはスペーサ分だけ大きく開孔しなければならず、その分だけ回路全体としての集積度低下につながる。

【0026】（2）第1配線層、第2配線層の間にTiW下部電極配線38を設けるので、もし、層間絶縁膜を通常CMOSデバイスと同じにする場合には第1配線層とTiW下部電極配線層の層間膜厚が薄くなり、両者のショートイールドが通常より悪くなることが予想される。

【0027】すなわち、通常のレジストエッチバック法では平坦性に限界があり、この米国特許5,196,724号に示される構造を取った場合、アンチフューズ部の第1Al配線層124/TiW下部電極配線38間の

層間膜厚はトランジスタ領域の第1A1配線層124/第2A1層(図示せず)間膜厚よりかなり薄くなることは十分に予想し得ることである。

【0028】また、第1A1配線層124とTiW下部電極配線層38の層間絶縁膜厚を通常CMOSの第1配線層/第2配線層間の絶縁膜厚と同じに取った場合、今度はFPGA(アンチフューズ部)の第1配線層/第2配線層間の絶縁膜厚が通常より厚膜になる。

【0029】従って、第1配線層/第2配線層間のヴィアが深くなるため、ヴィアサイズを通常CMOSより大きくしない限りヴィアイールドの低下につながる。ヴィアサイズを通常CMOSより大きくした場合は、言うまでもなく、集積度の低下につながる。

【0030】さらには、この構造では特殊配線層形成用にマスク1枚、アンチフューズ孔開孔にマスク1枚、アンチフューズ材料のパターニングの為にマスク1枚が必要で、計マスク3枚及び付随するプロセス数の増加によりプロセスコスト増を招く。

【0031】また、図4に示した第2の従来例による構造では、上記第1の従来例で用いられているアンチフューズ専用配線であるTiW下部電極配線層は存在しないので、上記(2)の問題を回避することができる。

【0032】しかしながら、アンチフューズを形成する工程に於いて、アンチフューズ部に二度開孔工程が入るので、第1配線と開孔部5の余裕及びTiN層48とヴィア40の余裕を見なければならず、従って、通常より集積度が低下する。

【0033】また、この場合もマスク2枚増を招き、第1の従来例よりも程度は良いがプロセスコスト増を招く。以上見たように、従来提案されている金属配線間アンチフューズ素子では、アンチフューズ用の特殊配線層を形成する為、配線イールド低下を招く。

【0034】また、従来のアンチフューズ部は通常CMOSの配線ルールより緩いルールで配線を形成しなければならず、集積度の低下を招く。さらには、従来のアンチフューズ素子はマスク増によるプロセスコスト増を招く。

【0035】従って、以上のようにして従来の金属配線間アンチフューズ素子の構造/プロセスは、実際にFPGA等に用いようとした場合、配線イールド、集積度、コストの面で改善の余地がある。

【0036】そこで、本発明は、以上のような点に鑑みて成されたものであり、配線イールド低下や集積度低下、コスト増をできるだけ抑ええた金属配線間アンチフューズ及び金属配線間アンチフューズを用いた集積回路を実現する為のアンチフューズ素子構造及びその製造方法を提供することを目的としている。

【0037】

【課題を解決するための手段】本発明によると、上記課題を解決するために、半導体基板上に形成されるもの

で、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層と、前記第1の電極層の上面を含む平面に形成されたアンチフューズ絶縁膜と、前記アンチフューズ絶縁膜上に形成された第2の電極層とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部をセルフアラインにより形成することを特徴とするアンチフューズ素子が提供される。

【0038】また、本発明によると、半導体基板上に形成されるもので、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層と、前記第1の電極層の上面を含む平面に形成されたアンチフューズ絶縁膜と、前記アンチフューズ絶縁膜上に形成された第2の電極層とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部をセルフアラインにより他の回路素子と共に集積回路化して形成することを特徴とするアンチフューズ素子が提供される。

【0039】また、本発明によると、半導体基板上に、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層を形成する工程と、前記第1の電極層の上面を含む平面にアンチフューズ絶縁膜を形成する工程と、前記アンチフューズ絶縁膜上に第2の電極層を形成する工程とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部をセルフアラインにより形成することを特徴とするアンチフューズ素子の製造方法が提供される。

【0040】また、本発明によると半導体基板上に、上面以外の面が絶縁膜中に埋め込まれて、且つ、上面が前記絶縁膜と同一面を形成する第1の電極層を形成する工程と、前記第1の電極層の上面を含む平面にアンチフューズ絶縁膜を形成する工程と、前記アンチフューズ絶縁膜上に第2の電極層を形成する工程とを具備し、前記第1及び第2の電極層の交点にアンチフューズ部セルフアラインにより、他の回路素子と共に集積回路化して形成することを特徴とするアンチフューズ素子の製造方法が提供される。

【0041】また、本発明によると、前記第1の電極層を形成する工程において、ケミカルメカニカルポリッシュ法を用いて前記第1の電極層の上面を前記絶縁膜と同一面に形成することを特徴とするアンチフューズ素子の製造方法が提供される。

【0042】さらに、本発明によると、前記第1の電極層を形成する工程において、埋め込み配線層を用いて前記第1の電極層の上面を前記絶縁膜と同一面に形成することを特徴とするアンチフューズ素子の製造方法が提供される。

【0043】

【作用】本発明は、将来の標準プロセス技術として研究開発が勧められている完全平坦化法(例えばケミカルメカニカルポリッシュ:Chemical Mechan

ical Polish: CMP) または、埋め込み配線法を用い、さらに、金属間アンチフューズをセルフアラインで形成することにより、配線イールドの低下を招くことなく、配線の最小1/μsで且つマスク1枚増で低容量、低抵抗な金属配線間アンチフューズ素子構造及びその製造方法を実現する。

【0044】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図5は本発明の一実施例に係わる金属配線間アンチフューズ素子の構造及び製造工程を示す断面図である。

【0045】図5(a)に示すように、半導体基板1上に形成された十分に平坦なシリコン絶縁膜2上にAl層3を6000オングストロームほどスパッタし、引き続いてAlヒロック防止用及び後述するCMPのストッパ用の硬質金属、例えばTi/TiN積層4を200/700オングストロームほどスパッタする。

【0046】次いで、このAl/Ti/TiN積層3、4を通常のリソグラフィ法を用いてレジストをマスクとして、RIEエッチングを行ってパターンニングし、第1配線層5を形成する。

【0047】また、このAl/Ti/TiN積層3、4はアンチフューズ形成領域ではアンチフューズ部の下部電極を兼ねることになる。その後、例えばTEOS酸化膜に代表される絶縁膜6を8000オングストロームほど堆積する。

【0048】この絶縁膜6をケミカルメカニカルポリッシュ: Chemical Mechanical Polish (CMP) 法を用いて研磨する。ここで、第1配線層5のTi/TiN積層4の表面が出るまで研磨を行うことにより、図5(b)に示すように、丁度を第1配線層5が絶縁膜6中に埋め込まれた構造になる。

【0049】この後、図5(c)に示すようにアンチフューズ膜、例えばシリコン窒化膜7をPECVD法で200オングストロームほど堆積し、引き続いてバリアメタル層であるTiN層8を1000オングストローム程度、さらには、Al層9を2000オングストローム程度スパッタする。

【0050】このシリコン窒化膜/TiN/Al積層7、8、9を通常のリソグラフィ法を用いてレジストをマスクとし、RIEエッチングを行って第1配線層5と直交するようにパターンニングし、第2配線層10を形成する。

【0051】この第2配線層10はアンチフューズ部の上部電極を兼ねることになる。さらに、パッシベーション(保護)膜11をデポジットする。以上のように第1配線層5と第2配線層10の交点にセルフアラインでアンチフューズ部を形成する。

【0052】勿論、図5(b)の構造を実現するのに、上述に代えて埋め込み配線法を用いても構わない。図6

乃至図8は図5の構造を持つ金属配線間アンチフューズ素子が集積回路(LSI)に用いられた場合の例を示す。

【0053】図6(a)には、例えばP型シリコン基板1A上に通常のCMOSプロセスを用いてN-ウェル2A、P-ウェル3A及び素子分離用フィールド酸化膜4A、フィールド反転防止のI/I、トランジスタのしきい値合わせI/I、パンチスルー防止のI/I、ゲート酸化膜5A及びゲート電極6Aの形成、拡散層7A形成によりトランジスタが形成され、さらにCVD-SiO<sub>2</sub>とBPSGを用いた層間絶縁膜8Aの堆積が終了したところまでが示されている。

【0054】これに引き続いて、例えば上述のCMP法を用いて層間絶縁膜8Aを完全に平坦化する。次いで、通常のリソグラフィ及びエッチングを用いてトランジスタの拡散層領域にコンタクト孔を開孔する。

【0055】この後、層間絶縁膜8A上にAl層9Aを8000オングストロームほどスパッタし、引き続いてAlヒロック防止用及び後述するCMPのストッパ用の硬質金属、例えばTi/TiN積層10Aを200/700オングストロームほどスパッタする。

【0056】次いで、このAl/Ti/TiN積層9A、10Aを通常のリソグラフィ法を用いてレジストをマスクとして、RIEエッチングを行ってパターンニングし、第1配線層11Aを形成する。

【0057】また、このAl/Ti/TiN積層9A、10Aはアンチフューズ形成領域ではアンチフューズ部の下部電極を兼ねることになる。その後、例えばTEOS酸化膜に代表される絶縁膜12Aを8000オングストロームほど堆積する(図6(b))。

【0058】この絶縁膜12AをCMP法を用いて研磨する。ここで、第1配線層11AのTi/TiN積層10Aの表面が出るまで研磨を行うことにより、図7(a)に示すように、丁度を第1配線層11Aが絶縁膜12A中に埋め込まれた構造になる。

【0059】この後、アンチフューズ膜、例えばシリコン窒化膜13AをPECVD法で200オングストロームほど堆積し、引き続いてバリアメタル層であるTiN層14Aを1000オングストローム程度、さらには、Al層15Aを2000オングストローム程度スパッタする。

【0060】このシリコン窒化膜/TiN/Al積層13A、14A、15Aを通常のリソグラフィ法を用いてレジストをマスクとして、RIEエッチングを行ってアンチフューズ形成領域にのみ第1配線層11Aと直交するようにパターンニングし、アンチフューズ配線層16Aを形成する。

【0061】このアンチフューズ配線層16Aはアンチフューズ部の上部電極を兼ねることになる。このように第1配線層6Aと第2配線層11Aの交点にセルフアラ

インでアンチフューズ部を形成する。

【0062】引き続いて、例えばTEOS酸化膜に代表される絶縁膜17Aを12000オングストロームほど堆積する。この絶縁膜17Aに対し、例えばレジストエッチバック法を用いて、アンチフューズ領域のアンチフューズ配線層16A上には約6000オングストローム、また、拡散層領域の第1配線層11A上には約8000オングストローム残るように平坦化を行う(図7(b))。

【0063】勿論、ここでも上述のCMP法を用いても良い。引き続いて、通常のリソグラフィとエッチング法を用いて、アンチフューズ配線層16A及び第1配線層11A上の所定の位置にビア孔を開孔する。

【0064】しかる後に、A1層18Aを8000オングストロームほどスパッタし、通常のリソグラフィ法を用いてレジストをマスクとして、RIEエッチングを行って第2配線層18Aを形成する。

【0065】以後、通常のパッシベーション層19Aの処理工程を行う(図8)。以上のような本発明によれば、特殊配線層を用いることなく、マスク1枚増でアンチ

フューズ部を有するLSIを形成することができる。【0066】しかも、アンチフューズ部はセルフアラインで形成される為、集積度は従来より向上する。また、第1配線層11Aの形成前に十分に平坦化されているために、通常第1配線層/第2配線層の間にアンチフューズ配線層を形成しても従来のように、ビア等の、

フィールド低下を招くこともない。

【0067】

【発明の効果】従って、以上詳述したように、本発明によれば、配線フィールド低下や集積度低下、コスト増を

10

\* 配線間アンチフューズを用いた集積回路を実現する為のアンチフューズ素子構造及びその製造方法を提供することが可能となる。

【図面の簡単な説明】

【図1】アンチフューズ素子の実装例を示す回路図。

【図2】アンチフューズ素子の実装例を示す回路図。

【図3】従来の金属配線間アンチフューズ素子の構造を示す断面図。

【図4】従来の金属配線間アンチフューズ素子の構造を示す断面図。

【図5】本発明によるアンチフューズ素子の構造及び製造工程を示す断面図。

【図6】本発明によるアンチフューズ素子が集積回路に用いられた構造及び製造工程を示す断面図。

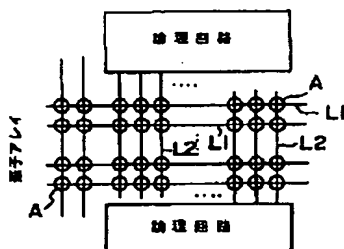
【図7】本発明によるアンチフューズ素子が集積回路に用いられた構造及び製造工程を示す断面図。

【図8】本発明によるアンチフューズ素子が集積回路に用いられた構造及び製造工程を示す断面図。

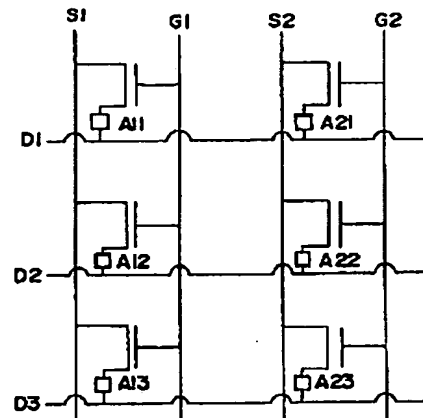
【符号の説明】

1…半導体基板、2…シリコン絶縁膜、3…A1層、4…Ti/TiN積層、5…第1配線層、6…絶縁膜、7…シリコン窒化膜、8…TiN層、9…A1層、10…第2配線層、11…保護膜、1A…半導体基板、2A…N-ウェル、3A…P-ウェル、4A…フィールド酸化膜、5A…ゲート酸化膜、6A…ゲート電極、7A…拡散層、8A…層間絶縁膜、9A…A1層、10A…Ti/TiN積層、11A…第1配線層、12A…絶縁膜、13A…シリコン窒化膜、14A…TiN層、15A…A1層、16A…アンチフューズ配線層、17A…絶縁膜、18A…(A1)第2配線層、19A…パッシベーション層。

【図1】



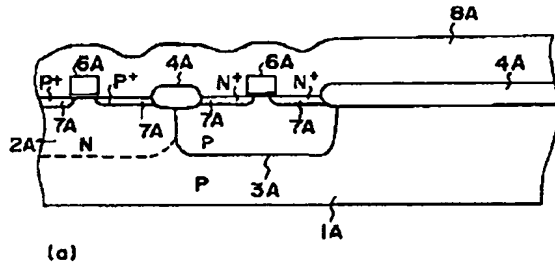
【図2】



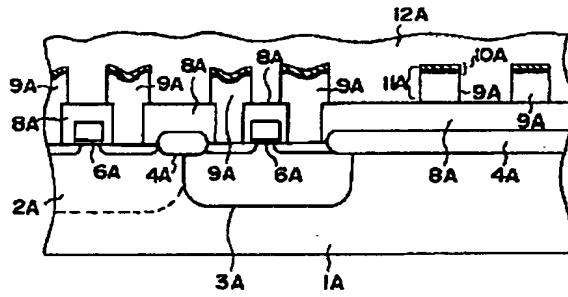


This cross-sectional view shows a semiconductor device with a central gate structure. The device includes a substrate (31) with a gate stack (32, 33, 34, 35) and a central gate region (47) surrounded by a gate dielectric (48). A central contact (40) is formed in the gate stack, and a side contact (43) is formed in the substrate. The device is covered by a passivation layer (23) with a central opening (41) and side openings (42, 44, 45, 46). The side contacts (43) are connected to the side openings (42, 44, 45, 46) in the passivation layer. The central contact (40) is connected to the central opening (41) in the passivation layer. The side contacts (43) are also connected to the side openings (42, 44, 45, 46) in the passivation layer. The central contact (40) is connected to the central opening (41) in the passivation layer. The side contacts (43) are connected to the side openings (42, 44, 45, 46) in the passivation layer. The central contact (40) is connected to the central opening (41) in the passivation layer. The side contacts (43) are connected to the side openings (42, 44, 45, 46) in the passivation layer.

【図6】

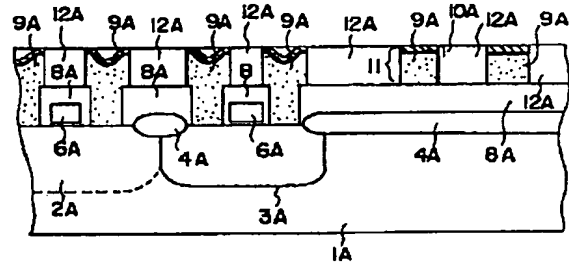


(a)

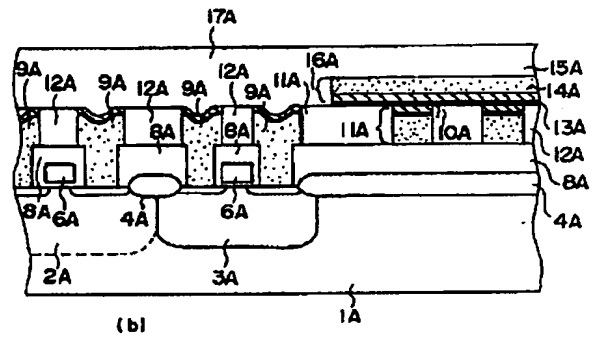


(b)

【図7】

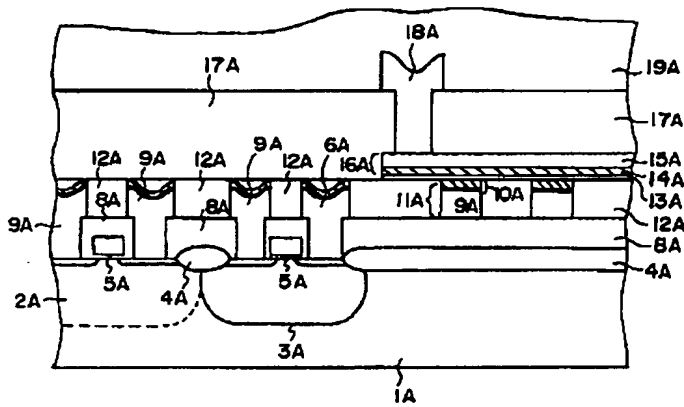


(a)



(b)

【図8】



フロントページの続き

(51)Int.Cl.<sup>8</sup>  
H01L 27/10識別記号  
431

片内整理番号

F I

技術表示箇所

H01L 21/90

B